

(1) Japanese Patent Application Laid-Open No. 10-150161 (1998)

**“CAPACITOR OF SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF”**

The following is an English translation of an extract of the above application.

5

A capacitor of a semiconductor device according to the present invention includes interlayer insulating films 25 and 29 having a contact hole formed on a semiconductor substrate, a metal plug 31a connected to the substrate through the contact hole, a storage node 33 coupled to the metal plug, a dielectric film 35 formed on the storage node, and a
10 plate node 37 formed on the dielectric film. According to this, it becomes possible to reduce the resistance remarkably and prevent an outward diffusion of impurities drastically by using a low resistance metal in which no impurities are contained in the post portion of the storage node buried in the contact hole for the storage node.

It is desirable that the metal plug 31a is made of a high-melting metal or a
15 sandwich structure of a conductive adhesive layer and the high-melting metal. Moreover, it is desirable that the high-melting metal is tungsten and the conductive adhesive layer is made of titanium and titanium nitride.

特開平10-150161

(43)公開日 平成10年(1998)6月2日

(51)Int.Cl.⁹

識別記号

F I

H01L 27/108

H01L 27/10

621 C

21/8242

27/04

C

27/04

21/822

審査請求 未請求 請求項の数11 O L (全7頁)

(21)出願番号

特願平8-304680

(22)出願日

平成8年(1996)11月15日

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李圭弼

大韓民国京畿道城南市盆唐区書▲ヒョン▼

洞308番地孝子村アパート606棟501号

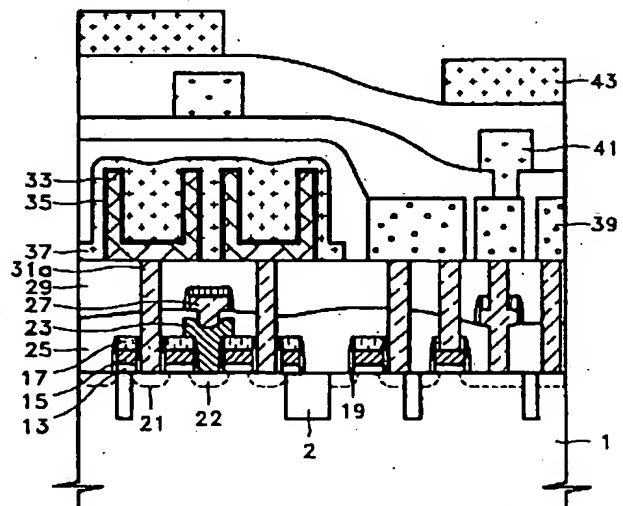
(74)代理人 弁理士 大塚 康德 (外1名)

(54)【発明の名称】半導体装置のキャパシタ及びその製造方法

(57)【要約】

【課題】 抵抗が著しく減少し、不純物の外向拡散も根本的に防止することができる半導体装置のキャパシタ及びその製造方法を提供する。

【解決手段】 本発明の半導体装置のキャパシタは、半導体基板上に形成されたコンタクトホールを有する層間絶縁膜25、29と、前記コンタクトホールを通して前記基板に接続される金属プラグ31aと、前記金属プラグに連結されるストレージノード33と、前記ストレージノード上に形成された誘電膜35と、前記誘電膜上に形成されたプレートノード37とを含む。これによれば、ストレージノード用のコンタクトホールに埋め込まれるストレージノードの柱部に不純物が含まれない低抵抗の金属を用いることにより、抵抗が著しく減少し、不純物の外向拡散も根本的に防止することができる。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成されたコンタクトホールを有する層間絶縁膜と、
前記コンタクトホールを通じて前記基板に接続される金属プラグと、
前記金属プラグに連結されるストレージノードと、
前記ストレージノード上に形成された誘電膜と、
前記誘電膜上に形成されたプレートノードとを含むことを特徴とする半導体装置のキャパシタ。

【請求項 2】 前記金属プラグは高融点金属で形成されることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

【請求項 3】 前記高融点金属はタングステンであることを特徴とする請求項 2 に記載の半導体装置のキャパシタ。

【請求項 4】 前記金属プラグは導電性接着層と高融点金属とのサンドイッチ構造よりなることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

【請求項 5】 前記導電性接着層はチタンとチタンナイトライドとで形成されることを特徴とする請求項 4 に記載の半導体装置のキャパシタ。

【請求項 6】 前記高融点金属はタングステンであることを特徴とする請求項 4 に記載の半導体装置のキャパシタ。

【請求項 7】 半導体基板上にコンタクトホールを有する平坦化された絶縁膜を形成する工程と、
前記コンタクトホールを埋め込むように半導体基板の全面に金属層を形成する工程と、
前記金属層をエッチングして金属プラグを形成する工程と、
前記金属プラグに連結されるストレージノードを形成する工程と、
前記ストレージノード上に誘電膜を形成する工程と、
前記誘電膜上にプレートノードを形成する工程とを含むことを特徴とする半導体装置のキャパシタ製造方法。

【請求項 8】 前記絶縁膜は CMP 法で平坦化して形成することを特徴とする請求項 7 に記載の半導体装置のキャパシタ製造方法。

【請求項 9】 前記金属プラグは前記金属層を CMP 法でエッチングして形成することを特徴とする請求項 7 に記載の半導体装置のキャパシタ製造方法。

【請求項 10】 半導体基板上に形成されたコンタクトホールを有する層間絶縁膜を介してキャパシタが形成される半導体装置において、
前記キャパシタが、
前記層間絶縁膜のコンタクトホールを通じて前記基板に接続される金属プラグと、
前記金属プラグに連結されるストレージノードと、
前記ストレージノード上に形成された誘電膜と、
前記誘電膜上に形成されたプレートノードとを含むこと

を特徴とする半導体装置。

【請求項 11】 半導体基板上に形成されたコンタクトホールを有する層間絶縁膜を介してキャパシタが形成される半導体装置の製造方法において、
前記キャパシタの形成が、
半導体基板上にコンタクトホールを有する平坦化された絶縁膜を形成する工程と、
前記コンタクトホールを埋め込むように半導体基板の全面に金属層を形成する工程と、
前記金属層をエッチングして金属プラグを形成する工程と、
前記金属プラグに連結されるストレージノードを形成する工程と、
前記ストレージノード上に誘電膜を形成する工程と、
前記誘電膜上にプレートノードを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置のキャパシタ及びその製造方法に係り、特に半導体基板に接続された金属プラグにストレージノードが連結された半導体装置のキャパシタ及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴い、デザインルールが徐々に縮小し、工程の余裕度も減りつつある。DRAM (Dynamic Random Access Memory) 半導体装置において、ギガ (G) ビットレベルの製品への研究が行われるにつれて、デザインルールや工程の余裕度が次第に重要になってきた。特に、DRAM 半導体装置に用いられるキャパシタは、データの正常な入出力やリフレッシュ特性の確保のため、限られた面積に一定のレベル以上のキャパシタンスを確保する必要がある。したがって、キャパシタとしてのストレージノードの構造が3次元的に複雑になり、その高さも増える。このため、DRAM のキャパシタにおいて、デザインルールの縮小や工程の余裕度の減少は他の半導体装置よりも深刻な制約となる。

【0003】 一方、一定のレベル以上のキャパシタンスを確保するためのキャパシタの構造は、トレンチ型、積層型及び前記二種の組合せ型に大別される。このうち、工程が割合に複雑でなく、幾何学的に有効面積を増加しやすい積層型キャパシタが多用されている。最近、積層型キャパシタを用い、COB (Capacitor Over Bit Line) 構造を採用する半導体装置が提案された。

【0004】 図1は、COB 構造を有する従来の半導体装置のキャパシタを説明するための断面図である。具体的には、半導体基板 101 上の活性領域間に素子分離領域 102 が形成されており、第1絶縁膜 117、側壁スペーサ 119、第2絶縁膜 113、導電膜 115、ソース 121 及びドレイン 122 よりなるトランジスタが、

前記半導体基板 101 上に形成されている。また、前記ドレイン 122 上にはランディングパッド 123 が形成されており、前記ランディングパッドを覆う第 1 層間絶縁膜 125 がトランジスタ上に形成されている。前記トランジスタのドレイン 122 に接続された前記ランディングパッド 123 を介してビットライン 127 が連結され、前記ビットライン 127 の上部に通常の方法で平坦化された第 2 層間絶縁膜 129 が形成されている。

【0005】一方、前記第 1 及び第 2 層間絶縁膜 125, 129 を貫通するストレージノード用のコンタクトホールを通して、下部セルトランジスタのソース 121 に連結され、ドーピングされた多結晶シリコンで構成されるストレージノード 133 が形成されている。前記ストレージノード 133 上には誘電膜 135 とプレート電極 137 とが形成されて、ストレージノード 133、誘電膜 135 及びプレート電極 137 で構成されるキャパシタが完成される。図 1 において、参照番号 139, 141 及び 143 は配線層を示す。

【0006】上述したように、従来の COB 構造を有する半導体装置は、ストレージノード用のコンタクトホールに埋め込まれたストレージノード 133 は細柱状を示している。ところが、前記ストレージノードを不純物のドーピングされた多結晶シリコンで形成する場合、細柱部の抵抗が非常に大きいため、データの入出力が遅延するという問題が発生する。

【0007】更に、従来の半導体装置においては、ストレージノードを構成する多結晶シリコンが半導体基板に直接接触する。この際、基板に接触するコンタクトホールの底部から多結晶シリコンに含まれた不純物が基板に拡散する外向拡散 (out-diffusion) により、セルトランジスタの有効チャンネルの長さが減り、セルのオン/オフ特性が低下するという問題も発生する。

【0008】

【発明が解決しようとする課題】したがって、本発明の目的は、ストレージノード用のコンタクトホールに埋め込まれるストレージノード柱の抵抗を減少させることができ、ストレージノードに含まれた不純物が下部導電層に外向拡散することを防止することのできる半導体装置のキャパシタを提供することにある。

【0009】本発明の他の目的は、前記半導体装置のキャパシタを製造するに好適な半導体装置のキャパシタ製造方法を提供することにある。本発明の更に他の目的は、上記キャパシタを有する半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するために、本発明は、半導体基板上に形成されたコンタクトホールを有する層間絶縁膜と、前記コンタクトホールを通じて前記基板に接続される金属プラグと、前記金属プラグに連結されるストレージノードと、前記ストレージノ

ード上に形成された誘電膜と、前記誘電膜上に形成されたプレートノードとを含むことを特徴とする半導体装置のキャパシタを提供する。

【0011】ここで、前記金属プラグは高融点金属、または導電性接着層と高融点金属とのサンドイッチ構造よりなることが望ましい。また、前記高融点金属はタングステンであること、前記導電性接着層はナタンとナグナイトライドとで形成されることが望ましい。前記他の目的を達成するために、本発明は、半導体基板上にコンタクトホールを有する平坦化された絶縁膜を形成する工程と、前記コンタクトホールを埋め込むように半導体基板の全面に金属層を形成する工程と、前記金属層をエッチングして金属プラグを形成する工程と、前記金属プラグに連結されるストレージノードを形成する工程と、前記ストレージノード上に誘電膜を形成する工程と、前記誘電膜上にプレートノードを形成する工程とを含むことを特徴とする半導体装置のキャパシタ製造方法を提供する。

【0012】ここで、前記絶縁膜は CMP 方法で平坦化することが望ましく、前記金属プラグは前記金属層を CMP 方法でエッチングして形成することが望ましい。

【0013】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態をさらに詳しく説明する。まず、本実施の形態の半導体装置のキャパシタ構造を図 2 に基づいて説明する。具体的には、半導体基板 1 上の活性領域間に素子分離領域 2 が形成されており、第 4 絶縁膜 13、第 5 絶縁膜 17、導電膜 15、外壁スペーサ 19、ソース 21 及びドレイン 22 を備えるトランジスタが、前記半導体基板 1 上に形成されている。

【0014】前記トランジスタ上には第 1 層間絶縁膜 25 が形成されており、ビットライン用のコンタクトホールの形成時の工程余裕度を確保するためにランディングパッドが形成されている。前記トランジスタのドレイン 22 に前記ランディングパッド 23 を介して接続されたビットライン 27 が形成されており、前記ビットライン 27 の上部に平坦化された第 2 層間絶縁膜 29 が形成されている。

【0015】また、前記第 1 及び第 2 層間絶縁膜 25, 29 を貫通するストレージノード用のコンタクトホールを通して、下部セルトランジスタのソース 21 と連結される金属プラグ 31a、及びストレージノード 33 が形成されている。前記ストレージノード 33 上に誘電膜 35 とプレートノード 37 とを形成することにより、ストレージノード 33、誘電膜 35 及びプレートノード 37 で構成されるキャパシタが完成される。図 2 において、参照符号 39, 41, 43 は配線層を示す。

【0016】特に、本実施の形態では、図 1 に示された従来のストレージノード 133 が多結晶シリコンのみで形成されていたのとは異なり、ストレージノード用のコ

ンタクトホールに埋め込まれて前記半導体基板1と接続するストレージノード33の細柱部は、金属プラグ31a構造よりなっている。更に、本実施の形態においては、金属プラグ31a上に、導電性物質、例えば不純物がドーピングされた多結晶シリコンでキャパシタの有効面積となるストレージノード33が形成されて、前記金属プラグ31aと連結される形態よりなっている。前記金属プラグ31aには、続く工程の熱処理効果に鑑みて高融点金属のみを用いるか、導電性接着層と高融点金属よりなるサンドイッチ構造を用いることが望ましい。

【0017】次に、本実施の形態の半導体装置のキャパシタ製造方法を、図3A～図3Kに基づいて説明する。図3Aは、半導体基板1上にトレンチマスク層3、5を形成する工程を示す。具体的には、半導体基板1上に第1絶縁膜3と第2絶縁膜5よりなるトレンチマスク層3、5を形成する。前記第1絶縁膜3と第2絶縁膜5はエッチング特性が異なる膜、例えばそれぞれ窒化膜と酸化膜よりなっており、続くCMP（化学機械的ポリシング）工程で第1絶縁膜3はCMP阻止層として用いられる。

【0018】図3Bは、フォトエッチング工程を用いてトレンチ7を形成する工程を示す。具体的には、前記第2絶縁膜5上にフォトレジストパターン（図示せず）を形成する。次いで、前記フォトレジストパターンをマスクとして半導体基板1、第1絶縁膜3及び第2絶縁膜5をエッチングして、浅いトレンチ7を形成する。前記トレンチ7は後に絶縁物質で埋め込まれて素子分離領域となる。

【0019】図3Cは、前記基板の全面に第3絶縁膜9を形成する工程を示す。具体的には、前記トレンチ7を埋め込むように前記半導体基板1の全面に第3絶縁膜9を形成する。図3Dは、トレンチ7に第3絶縁膜9を残す工程を示す。具体的には、前記トレンチ7に第3絶縁膜9が残るように、前記第3絶縁膜9及び第2絶縁膜5をエッチする。このエッチ方法としては、CMP（化学機械的ポリシング）またはエッチバック方法が用いられる。これにより、基板1には第1絶縁膜3と埋め込まれた第3絶縁膜9が形成される。

【0020】図3Eは、半導体基板1の全面にトランジスタのスレシヨルド電圧調節用のイオン注入11を行う工程を示す。具体的には、前記第1絶縁膜3を選択的に取り除くことにより、前記トレンチ7内にのみ埋め込まれる最終の素子分離酸化膜2を形成する。次いで、半導体基板の全面にトランジスタのスレシヨルド電圧調節用のイオン注入11を行う。

【0021】図3Fは、前記基板上にトランジスタを具現する工程を示す。具体的には、第4絶縁膜13、導電膜15及び第5絶縁膜17よりなるゲートと、側壁スペーサ19と、ソース21及びドレイン22とを備えるトランジスタを形成する。前記導電膜15としては、不純

物がドーピングされた多結晶シリコン膜とシリサイド膜を順次にデポジットするポリサイド膜を用いることができ、前記第5絶縁膜17は用いなくてもよい。

【0022】図3Gは、ランディングパッド23を形成する工程を示す。具体的には、前記半導体基板1の全面にランディングパッド用の導電膜をデポジットさせ、これをフォトエッチングしてランディングパッド23を形成する。前記ランディングパッド23は、コンタクトホールの形成時の工程余裕度を確保するために用いるものであって、半導体装置の種類に応じては用いなくてもよい。

【0023】図3Hは、ビットラインをランディングパッド23に連結させる工程を示す。具体的には、前工程（図3G）の結果物の全面に第1層間絶縁膜25をデポジットさせ、平坦化する。次いで、前記第1層間絶縁膜25上にフォトエッチング工程を用いてビットラインコンタクトホールを形成した後、半導体基板の全面に前記ビットライン用の導電膜をデポジットさせて前記ランディングパッド23と接続させる。ランディングパッド23を用いない半導体装置では、半導体基板に直接接続されることもある。前記ビットライン用の導電膜をフォトエッチングして、最終のビットライン27を形成する。

【0024】図3Iは、ストレージノード用のコンタクトホールを埋め込むように、半導体基板の全面に金属膜31をデポジットする工程を示す。具体的には、前工程（図3H）の結果物の全面に第2層間絶縁膜29をデポジットさせて平坦化させた後、前記第2層間絶縁膜29上にフォトエッチング工程を用いてストレージノード用のコンタクトホールを形成して、半導体基板1の全面に前記コンタクトホールを埋め込むように金属膜31をデポジットさせる。前記金属膜31をデポジットさせるに先立ち、半導体基板との接着を容易にするため、導電性接着層を形成させ得るが、チタンとチタンナイトライドとを順次にデポジットする形態を用いる。この際、前記金属膜31は続く熱処理工程に耐える必要があるため、高融点金属、例えばタングステンのような物質で形成することが望ましい。

【0025】図3Jは、金属プラグ31aを形成する工程を示す。具体的には、前記金属膜31をCMPなどの方法でエッチングして金属プラグ31aを形成する。図3Kは、キャパシタの有効面積となるストレージノード33を形成する工程を示す。

【0026】具体的には、ストレージノード用の導電膜をデポジットさせた後、フォトエッチング工程を用いて、前記金属プラグ31aに連結されるようにキャパシタの有効面積の役割を果たすストレージノード33を形成させる。前記ストレージノード33は、例えばドーピングされた多結晶シリコンで形成する。前記ストレージノード上に誘電膜35とプレートノード37とを形成して、半導体装置のキャパシタを完成する。図3Kにおい

10

20

30

40

50

て、参照番号 39、41 及び 43 は配線層を示す。

【0027】以上、本発明を具体的な実施例により説明したが、本発明は前記実施例に限るものでなく、当業者の通常の知識の範囲内においてその変形や改良が可能である。

【0028】

【発明の効果】上述したように、本発明によれば、ストレージノード用のコンタクトホールとして金属で埋め込む金属プラグ 31a 構造を採用することにより、従来のドーピングされた多結晶シリコンがコンタクトホールを埋め込む場合に比べて抵抗が著しく減少し、不純物の外向拡散も根本的に防止することができる。前記金属プラグ 31a による抵抗の減少は、金属の比抵抗が多結晶シリコンに比べて著しく低いという固有の物質特性のためであり、外向拡散の防止は、多結晶シリコンの場合とは異なり、金属をドーピングする必要がないためである。

【図面の簡単な説明】

【図 1】COB 構造を有する従来の半導体装置のキャパシタを説明するための断面図である。

【図 2】本実施の形態の半導体装置のキャパシタを説明

するための断面図である。

【図 3 A】

【図 3 B】

【図 3 C】

【図 3 D】

【図 3 E】

【図 3 F】

【図 3 G】

【図 3 H】

【図 3 I】

【図 3 J】

【図 3 K】本実施の形態の半導体装置のキャパシタ製造方法を説明するための断面図である。

【符号の説明】

25 第 1 層間絶縁膜

29 第 2 層間絶縁膜

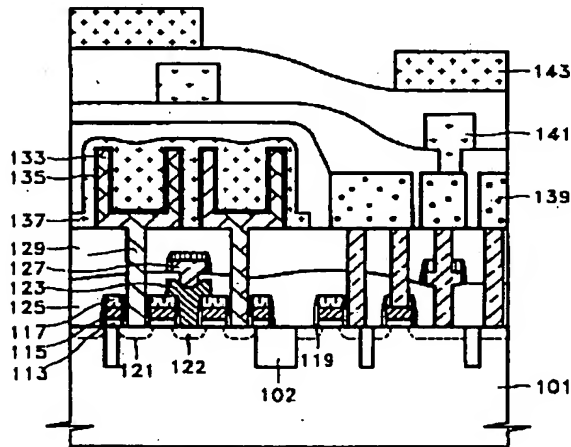
31a 金属プラグ

33 ストレージノード

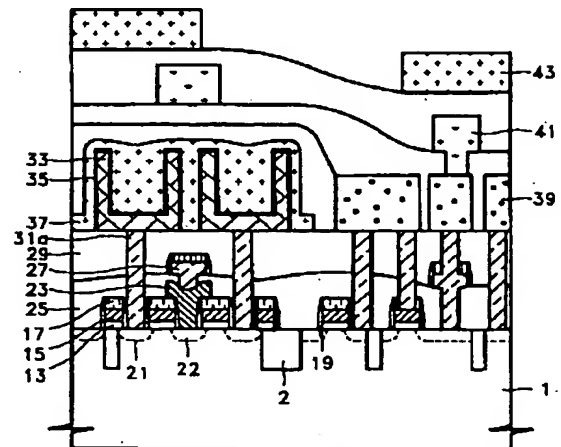
35 誘電膜

37 プレートノード

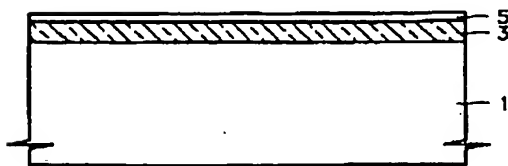
【図 1】



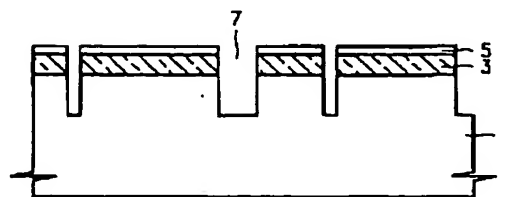
【図 2】



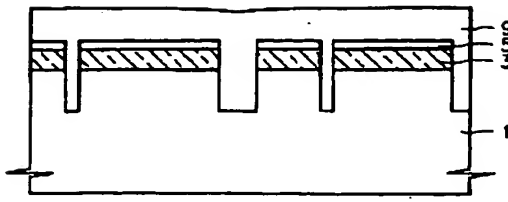
【図 3 A】



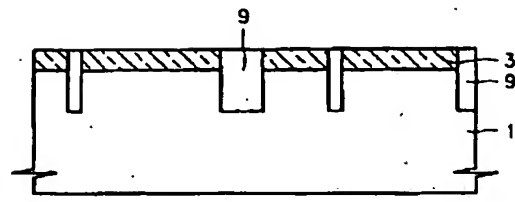
【図 3 B】



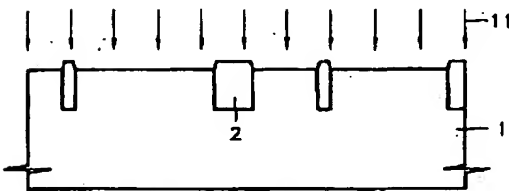
【図 3 C】



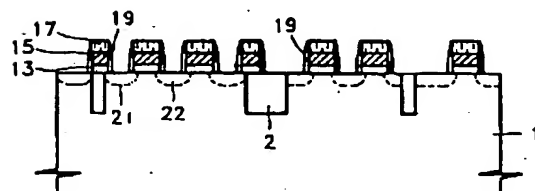
【図 3 D】



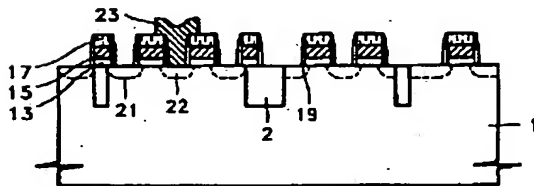
【図 3 E】



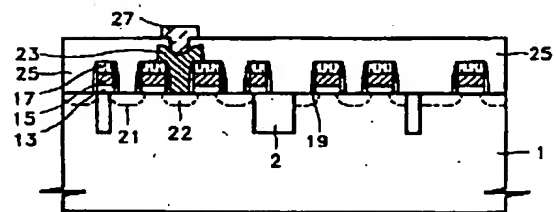
【図 3 F】



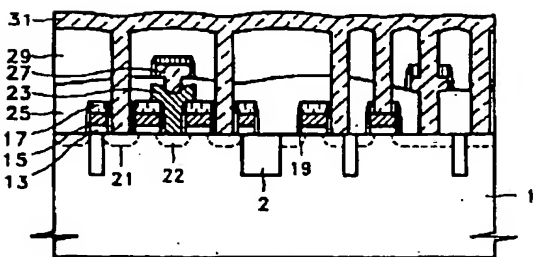
【図 3 G】



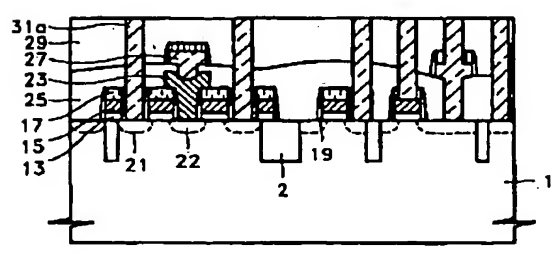
【図 3 H】



【図 3 I】



【図 3 J】



【図 3K】

